# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

59-028363

(43)Date of publication of application: 15.02.1984

(51)Int.CI.

H01L 23/12 H01L 23/02

(21)Application number: 57-139011

(71)Applicant: NEC CORP

(22)Date of filing:

10.08.1982

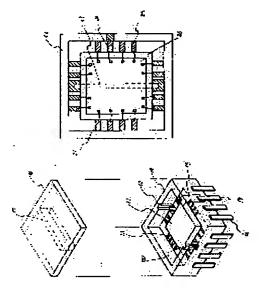
(72)Inventor: OUCHI MASAHIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

#### (57) Abstract:

PURPOSE: To obtain the package for an amplifier of stable high gain wide band by a method wherein a means of preventing the coupling between input and output terminals is provided inside an IC package.

CONSTITUTION: The assembly accuracy is improved by providing a shield plate 17 in the lower part of the cap 16 of the package and inserting it into grooves 12 and 20 of the main body. A metallic layer 15 for airtightly sealing the cap is provided in the upper surface 19 of the main body and connected to a lead wire 18. A grounding pad 24 for the IC chip is connected to the grounding lead 18 via a stitch. Therefore, when the cap is airtightly sealed to the main body, the shield plate 17 occupies the position 23 and exhibits its effect; the coupling between junction wires between input and output is eliminated inside the IC, and then the unstable actions such as oscillation do not generate.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

# ⑩ 日本国特許庁 (JP)

①特許出願公開

# ⑩公開特許公報(A)

昭59-28363

①Int. Cl.3 H 01 L 23/12 23/02 識別記号

庁内整理番号 7357-5F 7738-5F

砂公開 昭和59年(1984)2月15日

発明の数 1 審査請求 未請求

(全 4 頁)

## **创半導体集積回路装置**

创特

願 昭57-139011

②出

預 昭57(1982)8月10日

@発 明 者 大内雅弘

東京都港区芝五丁目33番1号日 本電気株式会社内

⑪出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

個代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体象積回路装置

## 2. 特許請求の範囲

- (1) 半導体集積回路装置において、パッケージ内部に入力場子と出力場子との間のカップリングを防止する手段を有する事を特徴とする半導体集積回路装置。
- (2) カップリング防止のための手段が半導体集積 回路装置ベッケージのキャップ下部に設けられ たシールド板であることを特徴とする特許請求 の範囲第(1)項記載の半導体集積回路装置。
- (3) 半導体集積回路装置パッケージ本体にキャップのガイド溝を有することを特徴とする特許館 求の範囲第(1)項記載の半導体集積回路装置。
- 3. 発明の詳細な説明
  - (1) 発明の属する技術分野

本発明は、半導体集積回路装置(以下 I C と称す)のパッケージに関し、特に集積回路の熔子間のカップリングを小ならしめる I O パッケージに関する。

#### (2) 従来技術の説明

I O パッケージに実装された高利符の増幅器を ブリント板等に実装する場合、入力端子と出力端 子間のカップリングによる発振防止のための突装 技術は、種々試みられている。

一例として第1図に示す様にIC3をブリント板1に突装する時、入力端子2と出力端子5間にGND領域4を設け、入出力間のカップリングを防止する方法がある。また、第2図に示す様にIC8をブリント板6に突装する時、入力端子7と出力端子10間に、GND領域に接続されたシールド板9を立ててシールド効果を高める方法もある。これらの方法により、IOバッケージ外部でのカップリングはある程度防止できる。しかし、近年単体トランジスタの性能が良くなってきたためパイポーラトランジスタを用いてギガヘルス(以下、

特開昭59-28363(2)

GHz)帯で使用できる広帯域増留器が製造されている。GHz 帯でしかも高利得の広俗域モノリシックIOの必要性は近年ますます大きくなっている。

との種の増幅器をIOパッケージに実装した場合、IOパッケージの外部のみのシールドでカップリングを防ごうとしても高周波、高利得のためIO内部のポンディングワイヤー等の部分のカップリングにより発振を起こす欠点がある。これはIO内部においてポンディングワイヤーからの電磁波のふく射によってポンディングワイヤー相互間で結合を起こすためと考えられる。

#### (3) 発明の目的

本発明は、IOパッケージ内部に入出力端子間のカップリングを防ぐ手段を有することにより上記欠点を解決し安定した高利得広帯城増幅器の製造を可能にするIOパッケージを提供するものである。

#### (4) 発明の構成

本発明によるIOパッケージは、キャップ下部

ア本体にハーメチックシールした時、シールド板 17はそのシールド効果を有する。

第4図はIOパッケージを上部から見たものである。点額で示した部分がシールド板23の位置である。またIOチップ26中でリード21が入力端子、リード25が出力増子、リード24がGND端子としてそれぞれ接続されている。したがって入出力間はシールド板17によりシールドされているため、入出力間のIO内部でのカップリングはなくなり、発振等の不安定動作は起こらなくなる。

第5図の例は、IOチップを4つの領域に分割してシールドしたもので入力端于32からの信号は出力端子27から出力され、入力端于31から 入力された信号は出力端子28から出力される、同図でシールド板30を設けることにより、入力端子32→出力端子27,入力端子31→出力端子28なる信号の流れに対しシールド効果を得時につちなの回路の入出力間のシールド効果を同時に に設けられたシールド板により、入出力端子間の カップリングを防止する手段を有することを特徴 とする。

#### (5) 実施例

次に本発明の実施例について図面を参照して説 明する。

第3図を参照すると、本発明の実施例は、従来のIOパッケージのキャップ16の下部にシールド板17を設け、かつ組み立て精度を上げるためにがっケージ本体にガイド湖12.20を有する。とれて、カージ本体にガイド湖12.20を有する。とれて、カージを有するととにかり、サージを有するとになり、サージを有ける。はカージをがより、は17でポンプラインのとからのでは、IOパッケージをからののでは、IOパッケージをがより、なりのハーメチックシールののというのハーメチックシールののほぼには、IOパッケーが終18に接続されている。したがってキャット級18に接続されている。したがってキャットをは18に接続されている。したがって、

得ている。

#### 4. 図面の簡単左説明

第1図、第2図は従来のICのブリント板への 実装方法の1例、第3図は、本発明によるICパッケージの実施例、第4図は、本発明実施例によるICパッケージを上から見た図、第5図は、本 発明によるICパッケージの他の実施例である。

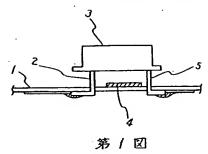
なお図において、1 ……ブリント板、2 ……入力端子、3 …… I O、4 ……GND領域、5 ……出力端子、6 ……ブリント板、7 ……入力端子、8 …… I O、9 ……シールド板、10 ……出力端子、11 …… I Oパッケージ本体、12 ……ガイド溝、13 ……ステッチ、14 ……リード線、15 …… I OパッケージのキャップをGNDリード線に接続する金属層、16 …… I Cパッケージのキャップ、17 ……シールド板、18 ……GNDリード線、19 ……I Oパッケージのキャップをないのキャップをないのキャップをないのキャップをない、17 ……シールド板、18 ……GNDリード線、19 ……I Oパッケージのキャップを本体にハーメチックシールするための金属層、20 ……ガイド溝、21 ……入力端子、22 ……

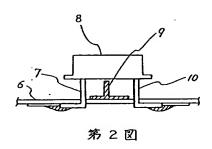
. 特間昭59- 28363 (3)

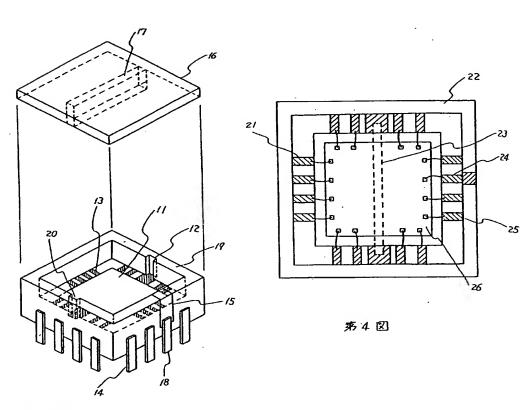
I O パッケージ本体、23……シールド板の位置、24……GNDステッチ、25……出力端子、26……I Oチップ、27……出力端子、28……出力端子、28……出力端子、29……GND端子、30……シールド板、31……入力端子、32……入力端子、である。

代理人 弁理士 内 原

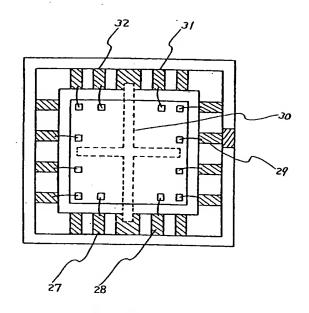








第3四



第 5 図